

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-141384

(P2002-141384A)

(43)公開日 平成14年5月17日(2002.5.17)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 21/66		H 0 1 L 21/66	J 2 F 0 6 5
G 0 1 B 11/30		G 0 1 B 11/30	Z 2 G 0 5 1
G 0 1 N 21/956		G 0 1 N 21/956	A 4 M 1 0 6
G 0 6 T 1/00	3 0 5	G 0 6 T 1/00	A 5 B 0 5 7
			3 0 5 A 5 F 0 3 8

審査請求 未請求 請求項の数14 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願2000-334915(P2000-334915)

(22)出願日 平成12年10月30日(2000.10.30)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 小野 眞

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72)発明者 岩田 尚史

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

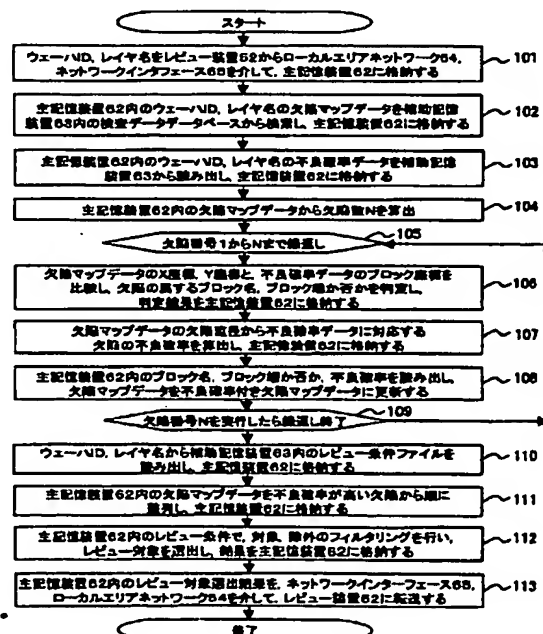
(54)【発明の名称】 検査システムおよび半導体デバイスの製造方法

(57)【要約】

【課題】半導体集積回路などの電子デバイスを形成するワークの異物やパターン欠陥の検査において、電気的に不良になる可能性の欠陥を優先的に解析する方法とシステムを提供する。

【解決手段】欠陥マップデータを欠陥マップデータ読出し処理11で読み出し、不良確率データを不良確率データ読出し処理12で読み出す。次に、欠陥別不良確率算出処理13で、欠陥マップデータ中の各欠陥の不良確率を算出し、不良確率付き欠陥マップデータを作成する。さらに、レビュー対象選出処理14で、不良確率付き欠陥マップデータから欠陥の整列や絞り込みを行い、レビュー対象を選出する。

図1



1

## 【特許請求の範囲】

【請求項1】被検査対象の有する異物もしくはパターン欠陥の位置と大きさを検出する検査装置と、  
該検査装置の検出した異物もしくはパターン欠陥の画像を取得する画像取得装置と、  
該検査装置および該画像取得装置とネットワークを介して接続され、該検査装置が検出して得た検査データと被検査対象に形成されるLSIチップ内に設定した領域の位置情報と該LSIチップ内に設定した領域における異物もしくはパターン欠陥の大きさに対する不良発生率に関する情報とを記憶する記憶手段と、該検査装置が検出して得た検査データから被検査対象に形成されるLSIチップ内に設定した領域に位置する欠陥であるか否かを算出し、該領域に位置する欠陥の大きさから不良発生率を算出する算出手段と、該算出した不良発生率が所定値以上となる異物もしくはパターン欠陥を選択する選択手段とを備え、該画像取得装置が該解析ユニットが選択した異物もしくはパターン欠陥の画像を取得するように構成したことを特徴とする検査システム。

【請求項2】被検査対象の有する異物もしくはパターン欠陥を検出する検査装置と、  
該検査装置の検出した異物もしくはパターン欠陥の画像を取得する画像取得装置と、  
該検査装置および該画像取得装置とネットワークを介して接続され、該検査装置が検出して得た検査データと被検査対象に形成されるLSIチップ内に設定した複数の領域の端部の位置情報とを記憶する記憶手段と、該検査装置が検出して得た検査データから設定された複数の領域の端部に位置しない異物もしくはパターン欠陥を選択する選択手段とを有する解析ユニットとを備え、該画像取得装置が該解析ユニットが選択した異物もしくはパターン欠陥の画像を取得するように構成したことを特徴とする検査システム。

【請求項3】被検査対象の有する異物もしくはパターン欠陥を検出する検査装置と、  
該検査装置の検出した異物もしくはパターン欠陥の画像を取得する画像取得装置と、  
該検査装置および該画像取得装置とネットワークを介して接続され、該検査装置が検出して得た検査データと被検査対象に形成されるLSIチップ内に設定した複数の領域の位置情報とを記憶する記憶手段と、該検査装置が検出して得た検査データから指定された領域に位置する異物もしくはパターン欠陥を選択する選択手段とを有する解析ユニットとを備え、該画像取得装置が該解析ユニットが選択した異物もしくはパターン欠陥の画像を取得するように構成したことを特徴とする検査システム。

【請求項4】前記領域が、前記LSIチップ内に形成される回路ブロックであることを特徴とする請求項1から3のいずれかに記載の検査システム。

【請求項5】前記LSIチップを形成するマスクレイ

2

アウトデータから得られる配線図形に対してランダムな位置に粒子を発生させるシミュレーションを行い、配線図形と粒子の接続関係から前記不良発生率を作成するシミュレーション手段をさらに有することを特徴とする請求項1記載の検査システム。

【請求項6】前記LSIチップを形成するマスクレイアウトデータから前記回路ブロックの領域もしくは領域の端部の位置情報を生成することを特徴とする請求項1から4のいずれかに記載の検査システム。

10 【請求項7】被検査対象の有する異物もしくはパターン欠陥を検出する検査装置と、  
該検査装置の検出した異物もしくはパターン欠陥の画像を取得する画像取得装置と、  
該検査装置および該画像取得装置とネットワークを介して接続され、該検査装置が検出して得た検査データと該被検査対象のレイアウト情報とを記憶する記憶手段と該レイアウト情報を用いて検査データの中からレビューすべき異物もしくはパターン欠陥を選択する選択手段とを有する解析ユニットとを備え、該画像取得装置が該解析ユニットが選択した異物もしくはパターン欠陥の画像を取得するように構成したことを特徴とする検査システム。

【請求項8】前記レイアウト情報が、被検査対象に形成されるLSIチップ内の領域に関する位置情報であることを特徴とする請求項7記載の検査システム。

30 【請求項9】ウエハに配線パターンを形成する製造工程と、該製造工程において配線が形成されたウエハの有する異物もしくはパターン欠陥の位置と大きさを検出する検査工程と、該検査工程において検出した異物もしくはパターン欠陥の画像を取得するレビュー工程とを有し、  
該検査工程で得た検査結果と該レビュー工程で得たレビュー結果を用いて該製造工程を管理する半導体デバイスの製造方法であって、該ウエハに形成されるLSIチップ内に設定した領域にある欠陥を抽出し、該領域に位置する欠陥の大きさから不良発生率を算出し、該算出した不良発生率が所定値以上の異物もしくはパターン欠陥を抽出し、該抽出した異物もしくはパターン欠陥の画像を取得することを特徴とする半導体デバイスの製造方法。

40 【請求項10】前記領域が、前記LSIチップ内に形成される回路ブロックであることを特徴とする請求項9記載の半導体デバイスの製造方法。

【請求項11】前記LSIチップがシステムLSIであり、前記回路ブロックがメモリ部分とロジック部分を含むことを特徴とする請求項10記載の半導体デバイスの製造方法。

50 【請求項12】ウエハに配線パターンを形成する製造工程と、該製造工程において配線が形成されたウエハの有する異物もしくはパターン欠陥を検出する検査工程と、該検査工程において検出した異物もしくはパターン欠陥の画像を取得するレビュー工程とを有し、該検査工程で

3

得た検査結果と該レビュー工程で得たレビュー結果を用いて該製造工程を管理する半導体デバイスの製造方法であって、

該ウエハに形成されるLSIチップのレイアウト情報を用いて該検査工程において検出して得た検査データの中からレビューすべき異物もしくはパターン欠陥を抽出し、該レビュー工程において該抽出した異物もしくはパターン欠陥の画像を取得することを特徴とする半導体デバイスの製造方法。

【請求項13】前記レイアウト情報がLSIチップ内に設定した複数の領域の位置情報であり、前記検出して得た検査データから指定された領域に位置する異物もしくはパターン欠陥を抽出してその画像を取得することを特徴とする請求項12記載の半導体デバイスの製造方法。

【請求項14】前記レイアウト情報がLSIチップ内に設定した複数の領域の端部の位置情報であり、前記検出して得た検査データから設定された複数の領域の端部に位置しない異物もしくはパターン欠陥を抽出してその画像を取得することを特徴とする請求項12記載の半導体デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路など電子デバイスの製造過程における検査システムとこれを用いた電子デバイスの製造方法に関する。

【0002】

【従来の技術】半導体集積回路を代表とする電子デバイスの製造においては、異物検査装置や外観検査装置で欠陥を検出した後、検出した個々の欠陥を分析する目的で、電子顕微鏡などを搭載した画像取得装置、例えばレビュー装置を用いることがある。なお、異物検査装置はウエハに付着した異物を検出し、外観検査装置はウエハに形成されたパターン欠陥を検出するものであるが、以後、異物とパターン欠陥を総称して単に欠陥と呼ぶこととする。

【0003】レビュー装置は、異物検査装置や外観検査装置に比べて、個々の欠陥の位置を高分解能な画像として撮像する。そのため、レビュー装置では、検査装置で検出したすべての欠陥位置を撮像するのではなく、ウエハ面内での欠陥位置のサンプリングを行い、数箇所に限って画像を撮像する。このサンプリングは、従来、ランダムサンプリング、すなわち、検出した欠陥から無作為に欠陥を選出することが行われていた。

【0004】また、特開平10-214866号公報に記載があるように、傷や密集欠陥などのクラスタ状欠陥が存在する場合に、検査装置が検出した欠陥をクラスタ状欠陥の内部と外部に分類する技術であるが、この場合でもクラスタ状欠陥の内部から数箇所をランダムサンプリング、また、外部から数箇所をランダムサンプリング

4

していた。

【0005】

【発明が解決しようとする課題】従来のランダムサンプリングでは、統計的に欠陥の傾向を把握することはできるが、これでは効率よく必要な欠陥をレビューすることとはならず、例えば、電氣的に不良になる致命欠陥を優先的に対策することができず、効果的に歩留りを向上させることは困難であった。

【0006】本発明の目的は、優先的にレビューを実施すべき欠陥を判断して検査効率を向上させた検査システムを提供することにある。また、これによって半導体デバイスの歩留まりを向上させることにある。

【0007】

【課題を解決するための手段】我々は、欠陥分布とLSIチップのレイアウトとの関係に着目して優先的にレビューを実施すべき欠陥を選択するようにした。

【0008】図10は、検査装置で検出される欠陥のチップ内位置分布である。

【0009】図は、LSIチップの設計回路レイアウトの概略図32に検査装置で検出した欠陥のデータ35をプロットしたものである。すなわち、検出した欠陥をウエハ上の各LSIチップ内の位置座標で打点したものである。黒丸が個々の欠陥を表わす。B1からB7の四角い枠は、それぞれLSIブロック1からLSIブロック7の位置である。ここで、LSIブロックとは、例えば、携帯電話用のLSIであれば、A/D変換ブロック、D/A変換ブロック、メモリブロック、プロセッサブロックなどである。LSIブロックは、一般に回路ブロックと呼ばれ、LSIの内部で独立の機能を有し、配置も配線の接続以外は分かれている。

【0010】同図から分かるように、検査装置が検出した欠陥の分布は、回路レイアウトと密接に関連があり、次に示す傾向がある。

【0011】(1)欠陥の密度は、回路レイアウトの粗密度によって違う。回路レイアウトが粗な領域では、密な領域より、検査装置で欠陥が多めに検出される。一般にLSIブロック毎に回路パターンの粗密度は異なり、例えば、メモリブロックよりもプロセッサブロックの方がその配線幅が狭く、レイアウトは密である。よって、メモリブロックよりもプロセッサブロックの方が、欠陥が多めに検出される。

【0012】(2)回路レイアウトのLSIブロック端部(輪郭部)では、多数の欠陥が検出されている。この現象は、実際には欠陥ではないものを、検査装置が欠陥として誤って検出しているものであることが多い。検査装置は、回路パターンの凹凸の差が大きい部分で、このような誤った検出をしやすい。ここで端部(輪郭部)とは、各回路ブロックと回路ブロックの境界であり、数十から数百マイクロメートルの幅を有している。

【0013】従って、レビューすべき欠陥を単純なラン

5

ダムサンプリングにより選択すると、次の問題が生じ、効率よくレビューすべき欠陥、例えば電氣的に不良になる可能性が高い欠陥をサンプリングすることにはならないことが分かった。

【0014】以上を鑑み、本発明は、上記目的を達成するために、LSIの設計レイアウトを用いてレビューすべき欠陥を選択することとした。すなわち、LSIの設計レイアウト情報を用いてLSIブロック輪郭部近傍にない欠陥を優先的にレビューしたり、配線幅の密なLSIブロックにある欠陥を優先的にレビューすることとした。

【0015】また、LSIブロック毎に欠陥サイズに対する不良発生率を求め、この不良発生率の高い欠陥をレビューすることとした。これによって歩留まりに影響を与える可能性の高い欠陥から効率よくレビューでき、影響を与える直接の要因を短時間で究明しやすくなり、不良品を作り込む時間が短くなり、歩留まりを向上させるものである。特にシステムLSIのように、一つのLSIの中に様々な回路ブロックが存在する品種では、レビューを優先的に実施すべき欠陥を判断することは、歩留りの早期向上に重要である。

【0016】より具体的には、特許請求の範囲に記載の通りに構成したものである。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面により説明する。

【0018】図2は、本発明のシステム構成の一例を示すブロック図である。

【0019】51は検査装置、52はレビュー装置、53はレイアウトCADである。60は検査システムであり、演算部61、主記憶装置62、補助記憶装置63、ユーザインターフェイス64、ネットワークインターフェイス65を有する計算機システムである。検査装置51、レビュー装置52、レイアウトCAD53、検査システム60は、ローカルエリアネットワーク54で結ばれ、必要に応じてデータのやり取りを行う。

【0020】検査装置51は、異物検査装置や外観検査装置などであり、ウェーハ面内の欠陥の座標位置と大きさの情報を出力する。検査装置51の検査結果である欠陥マップデータは、品種名、ロット番号、ウェーハ番号、レイヤ名などと共に、ローカルエリアネットワーク54、検査システム60のネットワークインターフェイス65、主記憶装置62を介して、補助記憶装置63の検査データベースに格納される。図3は、その検査装置で検出した欠陥マップデータの一例である。欠陥マップデータ21は、欠陥毎にウェーハ面内の座標位置と大きさの情報を有する。本実施例に於いては、欠陥マップデータ21は、欠陥毎に欠陥番号、チップ列、チップ行、X座標、Y座標、欠陥直径が記されている。欠陥番号は、検査装置で検出した欠陥に付した通し番号である。

6

チップ列、チップ行、X座標、Y座標は、欠陥の座標位置である。チップ行、チップ列はウェーハ内におけるチップの位置を示し、X座標、Y座標はチップ内の欠陥の位置を示す。すなわち、図4、5に示す状態を記述させるものである。図4は、図3の欠陥マップデータ21を、二次元マップとして描いたものである。図22は、ウェーハを表わし、22の内側の四角い枠は、それぞれチップを表わす。欠陥マップデータ21のチップ列、チップ行は、ウェーハ端からのチップの配列を示している。101から110の黒い打点は、21の欠陥番号1から10をチップ列、チップ行、X座標、Y座標に基づいた欠陥の位置である。図5は、図4のチップ列1、チップ行1のチップを拡大したものである。31の四角い枠がチップであり、左下端を原点として21のX座標、Y座標に基づき、欠陥番号1の位置を打点したものが101である。

【0021】一方、レイアウトCAD53で設計を完了した回路レイアウトデータは、品種名、レイヤ名とともに、ローカルエリアネットワーク54、検査システム60のネットワークインターフェイス65、主記憶装置62を介して、補助記憶装置63に格納される。例えば、回路レイアウトデータから、チップにおけるブロック、B1～B7の位置情報を生成し、レイアウトデータとして補助記憶装置63に記憶する。なお、このレイアウトデータは必ずしもレイアウトCADから生成する必要はなく、品種名、レイヤ名とともに補助記憶装置63に記憶されていけばよい。

【0022】図9は、レイアウトデータの一例である。図9に示すレイアウトデータファイル72では、品種名LOGIC234、レイヤ名METAL1、ブロック名m1の不良確率データとともにLSIブロックm1の位置情報が格納されており、その座標は、チップ内のX=5、Y=80と、X=20、Y=95を対角の頂点座標とする長方形であることを意味する。また、このファイルでは、欠陥直径と不良確率との関係が記述されている。このレイアウトデータファイルは、図10に示した各LSIブロックB1～B7毎に形成する。

【0023】ここで、回路レイアウトデータを用いて、欠陥直径に応じて不良確率を算出する一例を説明する。

【0024】図6は、回路レイアウトデータの一例である。回路レイアウトデータとは、LSIの露光装置で回路パターンを転写する際のマスクパターンの二次元図形データである。32は回路レイアウトの概略図であり、B1からB7の四角い枠は、それぞれLSIブロック1からLSIブロック7の位置である。B6内の一部（四角い枠内に斜線で示した部分）の拡大図が、33である。33の白い部分は、回路パターンがない部分、33の灰色の部分は、回路パターンである。

【0025】図7は、回路レイアウトデータから不良確率データの算出方法を示す図である。この方法は、特開

昭48-40376号公報、特開平8-162510号公報や雑誌IBM Journal of Research and Developmentの1984年、Vol.28、No.4に掲載された著者C.H. Stapperの論文“Modeling of defects in integrated circuit photolithographic”などに記載の歩留り予測手法に適用されている。すなわち、回路レイアウトデータの各レイヤの回路パターンに対して、モンテカルロ・シミュレーションで、丸い同じ直径の仮想欠陥をランダムな位置に発生させる。34は、回路パターンと仮想欠陥を照合した拡大図である。この例では121、122の丸枠に斜線をした仮想欠陥が電気的な短絡不良となり、123から129の白抜き丸の仮想欠陥は、電気的な不良にはならない。この部分の不良確率は9分の2で、縦軸を不良確率、横軸を欠陥直径として、打点したものが、白抜きのひし形の打点である。このようなシミュレーションを、いろいろな直径の仮想欠陥で行い、白抜きの三角を打点する。三角の打点とひし形の打点を通る曲線が、不良確率データ曲線71である。図8は、不良確率データの集合を表わす模式図である。図7で示したシミュレーションを、品種毎、レイヤ毎に、LSIブロック別、チップ全面あるいは2次元領域別に行い、それぞれ不良確率データを算出したものである。そして、これに基づいて図9に示したレイアウトデータファイル72を各LSIブロック別に得ることとなる。

【0026】補助記憶装置63には、その他、後述するレビューすべき欠陥を選択するためのレビュー条件、後述するレビューすべき欠陥を選択するまでのプログラムなどが記憶されている。

【0027】次に、レビューすべき欠陥を選択する一連の処理フローを図1を用いて説明する。

【0028】まず、検査装置51で検査が完了したウェーハが、レビュー装置52にセットされると、ウェーハIDがレビュー装置52で読み取られる(ステップ101)。また、そのレイヤ名が設定される。

【0029】ウェーハIDとレイヤ名が入力されると、これらの情報はローカルエリアネットワーク54、ネットワークインターフェース65を介して検査システム60の主記憶装置62に送信される。なお、ウェーハIDは品種名、ロット番号、ウェーハ番号を示す情報である。

【0030】主記憶装置62では、受信したウェーハIDとレイヤ名の情報から、補助記憶装置63に記憶される該当する欠陥マップデータ(図3参照)を検索し、その検索した欠陥マップデータを主記憶装置62に格納する(ステップ102)。

【0031】次に、主記憶装置62に格納したウェーハID、レイヤ名からレイアウトデータ72(図9参照)の集合を補助記憶装置63から読み出し、主記憶装置62に格納する(ステップ103)。

【0032】次に、ステップ102において主記憶装置62に格納された欠陥マップデータから欠陥数を算出し

(ステップ104)、欠陥番号1～Nまでのそれぞれについて以下の処理を実行する(ステップ105)。

【0033】欠陥マップデータの個々の欠陥に対して、その欠陥のX、Y座標と、レイアウトデータブロック座標とを比較し、欠陥の属するブロック名を判定するとともに、その欠陥の位置がブロック端か否かを判定し、判定結果を主記憶装置62に格納する(ステップ106)。ここで、欠陥がブロック端か否かは、欠陥からLSIブロック端までの距離が指定しきい値より小さければ、その欠陥はブロック端に存在するように判定すれば良い。距離を許容範囲を示した座標により表現し、その座標内か否かで判断してもよい。本実施例では、欠陥の位置座標をウェーハ座標ではなくチップ座標で設定しているので、全てのチップに対して上記のレイアウトデータブロック座標との比較が容易に実現できる。1ウェーハの中に複数種類のLSIが形成されるのであれば、それぞれに応じてレイアウトデータを設定して比較するようにすれば良い。

【0034】次に、主記憶装置62に格納された欠陥マップデータの欠陥直径から該当するレイアウトデータ72に規定される不良確率を算出し、その算出結果を主記憶装置62に格納する(ステップ107)。

【0035】次に、ステップ106～108で算出した主記憶装置62に記憶されるブロック名、ブロック端か否か、不良確率を読み出し、不良確率付き欠陥マップデータを作成する(ステップ108)。図11は、不良確率付き欠陥マップデータ23では、図3に示す欠陥マップデータ21に、属するLSIブロック、LSIブロック端か否か、不良確率を求めた結果が附加されたものである。これらの処理を全ての欠陥について繰り返す(ステップ109)。

【0036】次に、主記憶装置62に格納したウェーハID、レイヤ名から補助記憶装置63内のレビュー条件ファイルを読み出し、主記憶装置62に格納する(ステップ110)。ここでレビュー条件は、ユーザが自由に設定できるものであって、例えば、不良確率が所定値以上の欠陥だけを抽出するような条件、ブロック端にない欠陥を抽出するような条件、欠陥サイズが所定値以上もしくはは所定値以下の欠陥だけを抽出するような条件、所定のブロックだけに存在する欠陥だけを抽出するような条件、各ブロックから所定個数ずつ抽出するような条件などが挙げられる。また、これらを組合わせるような条件であっても良い。これらのメリットは、検査装置で多数検出された欠陥から、電気的な不良の原因となる欠陥を効率的に選出できることである。実用的な意味有るレビュー条件は、歩留りに影響しない欠陥をレビュー対象から除外し、歩留りに影響しそうな欠陥を選出することである。

【0037】図16は、レビュー条件ファイルの一例で

ある。41は、検査システム60のユーザインターフェース64から欠陥解析担当者がレビュー条件を設定し、補助記憶装置63に格納したファイルの例である。この例では、品種名LOGIC234、レイヤ名METAL1のレビューは、最大20個までレビュー対象とすることができ、不良確率0.30以上の欠陥で、かつLSIブロックB5に属するものを除き、かつLSIブロックB1、B2のブロック端にあるものを除いた欠陥をレビューするように指示している。検査装置51で検出した欠陥で、この条件に合うものをレビュー装置52でレビューすることとなる。

【0038】次に、主記憶装置62内の不良確率付き欠陥マップデータ23を不良確率が大きい欠陥から順に整列し、主記憶装置に格納する（ステップ111）。図12は、不良確率で整列した欠陥マップデータ24である。図11の不良確率付き欠陥マップデータ23を不良確率が高いものから順に整列したものである。なお、不良確率に無関係にレビューをするのであれば、当然のことながら、このステップ、さらには不良確率を算出するステップ、付随する構成は不要となる。しかしながら、不良確率は、致命欠陥を端的に示す指標でもあるので、最も致命となりうる欠陥をレビューする上ではこの不良確率の大きい欠陥をレビューすることが効果的といえる。

【0039】次に、主記憶装置62内のレビュー条件で、対象とする欠陥と、非対象とする欠陥のフィルタリングを行い、レビュー対象の欠陥を選出し、結果を主記憶装置62に格納する（ステップ112）。

【0040】図13は、欠陥マップデータ23からレビュー対象を選出した一例である。26は、不良確率で整列した欠陥マップデータ23から、LSIブロック端であると判定された欠陥を除外して、上位5個の欠陥をレビュー対象とした例である。メリットは、LSIブロック端から検出される欠陥は、非致命である可能性が高く、それを除外できることである。

【0041】図14は、欠陥マップデータ24からレビュー対象を選出した別の一例である。27は、不良確率で整列した欠陥マップデータ24から、LSIブロックm5に属する欠陥を除外して、上位5個の欠陥をレビュー対象とした例である。メリットは、m5で発生する欠陥は、経験的に非致命であることがわかっている場合に、それを除外できることである。

【0042】図15は、欠陥マップデータ23からレビュー対象を選出したさらに別の一例である。25は、不良確率で整列した欠陥マップデータ24の上位5個の欠陥をレビュー対象とした例である。上位何個の欠陥をレビュー対象とするかは、レビュー装置の処理速度やLSIウェーハの生産量などから決める。これもレイアウト、すなわちブロック毎の粗密に応じて算出する不良確率を変えているので、結果としてレイアウトに応じて致

命欠陥になりやすい欠陥をレビューさせることが可能となる。

【0043】最後に、主記憶装置62内のレビュー対象選出結果を、ネットワークインターフェイス65、ローカルエリアネットワーク54を介して、レビュー装置52に転送する（ステップ113）。レビュー装置52では、受信したレビュー対象選出結果に基づいて、優先順位の高い欠陥からレビューを実施する。そのとき、欠陥の座標は、このレビュー対象選出結果のなかで規定されているので、この情報に基づいてレビュー装置52を駆動することができる。また、レビュー対象選出結果によりレビューすべき欠陥が選出されたのであれば、効率よくレビューするために、レビューすべき欠陥の順序をその中で再選択するようにしてもよい。これはレビュー装置52、検査システム60のいずれで実施してもよい。

【0044】図17は、回路レイアウトデータの構造の一例を示す図である。一つのLSIの回路レイアウトデータは、一般に同図のように、LSIブロック毎に階層構造になっている。ルートとは、LSI全体を意味し、B1からB7は、LSIブロックである。さらに、B11、B12、B21、B22、B41、B51、B52、B53、B61、B62、B121、B221、B531、B532、B5321は、LSIブロックのサブブロック、あるいはサブブロックのさらなるサブブロックである。この例では、LSIブロックのB1からB7がルートに含まれている。また、LSIブロックB1にはB11とB12のサブブロックが含まれている。さらに、B12のサブブロックとして、B121が含まれている。ここで、LSIブロックの階層構造は、機能面での階層であり、LSIのレイヤを意味するものではない。同じブロックやサブブロックに、複数のレイヤが存在する。また、異なるブロックに同じレイヤの回路パターンが含まれている。そのため、図7で説明した不良確率を求めるシミュレーションは、この構造の各ブロックから同じレイヤの回路パターンを切り出して、レイヤ毎のデータを作成して行う。

【0045】図18は、検査システム60の表示画面の一例である。同図は、品種名LOGIC234、ロット番号LOT55、ウェーハ番号10のレイヤ名METAL1の欠陥マップデータを表示したものである。ここで、図9で示したレビュー条件41を適用してレビュー対象欠陥を選出した結果である。81は欠陥マップデータをチップ内の座標で打点した欠陥位置分布を表示したもので、回路レイアウトの概略図と照合して表示している。82は欠陥マップデータをウェーハレベルで表示したものである。どちらも同じ欠陥マップデータを表示したものである。81と82で、黒三角が、レビュー対象欠陥として選出された結果である。ここでは、レビュー条件41を満たす欠陥が3個であった。白抜きの丸は、レビュー条件41で不良確率に関係なく対象外になった



11

欠陥、黒丸は、不良確率が0.30未満のためにレビュー対象欠陥にならなかった欠陥である。このように、レビュー対象として選出した欠陥を、ウェーハレベルだけでなく、チップ内の欠陥分布や回路レイアウトと同時に表示することで、対象欠陥を分かりやすく把握できる。ここで、81のように、回路レイアウトの概略図を表示するとき、図17で説明した詳細な回路レイアウトデータは必要がない。そこで、回路レイアウトデータのチップ全体を瞬時に表示するために、回路レイアウトデータをビットマップデータとして圧縮して補助記憶装置63に格納しておくことが有効である。

【0046】図19は、検査システム60の画面の別の一例である。同図は、図18と同じ欠陥マップデータを表示したものであり、同様にレビュー条件41を適用してレビュー対象欠陥を選出した結果である。81は図18と同じである。83はガーソル84を81内の一つの欠陥に合わせて、クリックしたときに、その近傍の回路レイアウトデータを検索し、表示した結果である。83では欠陥の位置を中心に、欠陥の大きさに合わせて、丸枠85を描き、レビューする前に欠陥と回路パターンの関係を簡単に把握することができる。また、86は、カーソル84でクリックした欠陥が存在するLSIブロックの不良確率データ曲線を描いたグラフであり、87がクリックした欠陥の大きさである。このように欠陥の大きさと不良確率データを表示することで、このレビュー欠陥として選出した理由を確認することができる。ここで、レビュー条件は、図18や図19を用いて、検査や条件なしでレビューした結果に基づき、レビュー不要な回路ブロックを選択したり、ブロック端を選択したり、あるいは、不良確率を定めて決定する。

【0047】これまではウェーハ上のチップの位置に無関係に同一のレイアウトデータファイル(図9)を使用していたが、ウェーハ面内で致命欠陥の発生確率が、異なる場合が多い。特にウェーハの大口径化は、その現象を顕著にする。この現象に対応する目的で、例えば、従来のランダムサンプリングと、上述した不良確率での欠陥の選出方法を、組み合わせて欠陥の選出を行う。すなわち、従来のランダムサンプリングにより欠陥をレビューすることと、上述した不良確率での欠陥の選出方法を用いてレビューすることとの両方を実施する。これにより、ウェーハ上の欠陥を均等に選出することもできる。また、所定値以上の不良確率の結果の中からランダムサンプリングして抽出したり、ブロック端にない欠陥の中からランダムサンプリングしたりして対応してもよい。もしくはチップの座標を用いてウェーハ全面を所定のエリアに分割して、その分割した各エリアから欠陥を抽出するようにしてもよい。この場合、エリアを細かくするほど、ウェーハ全面を均等にレビューすることになることは言うまでもない。

【0048】以上説明したように、電子デバイスを形成

12

するワークの異物やパターン欠陥の検査において、電氣的に不良になる可能性が高い欠陥をサンプリングし、その欠陥を優先的にレビューすることで、従来よりも効率よく検査することができる。また、同様に電氣的に不良になる可能性が高い欠陥をレビューすることもできる。

【0049】

【発明の効果】本発明によれば、レイアウト情報を用いることで、レビューを優先的に実施すべき欠陥を判断して検査効率を向上させることができる。また、これによって歩留まりが向上する。

【図面の簡単な説明】

【図1】レビュー対象欠陥の選出に適用した処理の手順の一例

【図2】ハードウェアの構成を示すブロック図の一例

【図3】欠陥マップデータの一例

【図4】図3の欠陥マップデータの二次元マップの一例

【図5】図4のチップ列1チップ行1の拡大図

【図6】回路レイアウトデータの一例

【図7】不良確率データの算出方法の一例

【図8】不良確率データの集合の一例

【図9】レイアウトデータのファイルの一例

【図10】チップ内の欠陥分布と回路レイアウトの関係図の一例

【図11】不良確率付き欠陥マップデータの一例

【図12】不良確率で整列した不良確率付き欠陥マップデータの一例

【図13】レビュー対象欠陥の選出結果の一例

【図14】レビュー対象欠陥の選出結果の一例

【図15】レビュー対象欠陥の選出結果の一例

【図16】レビュー条件ファイルの一例

【図17】回路レイアウトの構造を示すブロック図の一例

【図18】検査システムの画面の一例

【図19】検査システムの画面の一例

【符号の説明】

21…欠陥マップデータ、22…ウェーハ欠陥マップ、23…不良確率付き欠陥マップデータ、24…不良確率で整列した欠陥マップデータ、25、26、27…レビュー対象の欠陥マップデータ、31…チップ列1チップ行1のチップの欠陥マップ、32…回路レイアウトの概略、33…回路レイアウトの一部の拡大図、34…回路レイアウトの一部の拡大図と仮想欠陥の照合、35…チップ内の欠陥座標分布、36…チップ内の欠陥座標分布と回路レイアウトの照合、41…レビュー条件ファイル、51…検査装置、52…レビュー装置、53…レイアウトCAD、54…ローカルエリアネットワーク、60…検査システム、61…演算部、62…主記憶装置、63…補助記憶装置、64…ユーザインターフェース、65…ネットワークインターフェース、81…チップ内の欠陥座標分布と回路レイアウトの照合表示、82…欠

13

陥マップデータの表示、83…回路レイアウトの部分拡大表示、84…マウスカーソル、85…欠陥位置と大きさを示す表示、86…不良確率データ曲線、87…欠陥の大きさ、91…欠陥マップデータの表示、101～1\*

14

\*10…欠陥データの打点、113…回路ブロック名の表示、114…ブロック端表示、121、122…電氣的不良になる欠陥、123～129…電氣的不良になる欠陥。

【図1】

【図9】

図1

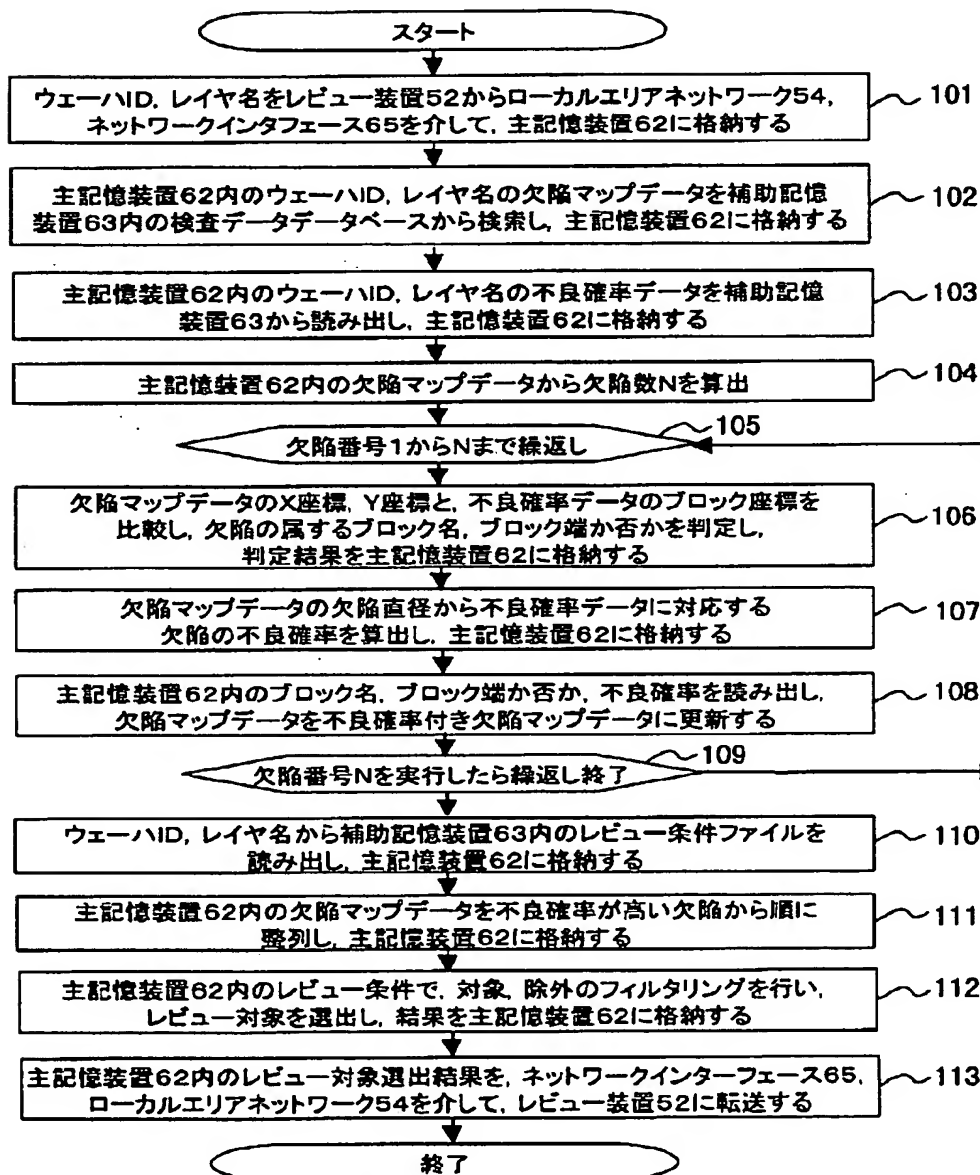


図9

品番名	LOGIC234
レイヤ名	METAL1
ブロック名	81
ブロック座標	長方形対角 (5.80)-(20.95)
欠陥直径	不良確率
0.05	0.00
0.10	0.01
0.15	0.02
0.20	0.03
0.25	0.05
...	...
9.95	1.00
10.00	1.00

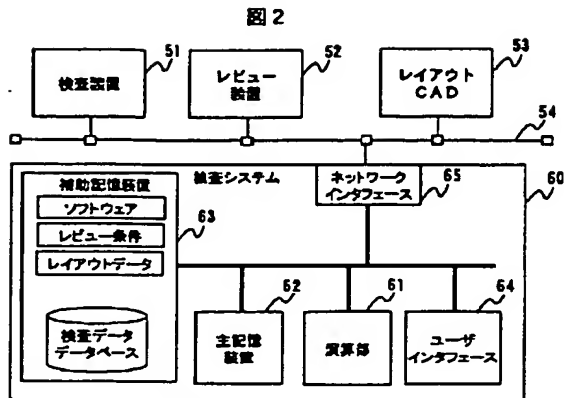
【図16】

図16

品番名	LOGIC234
レイヤ名	METAL1
最大欠陥数	20個
対象	不良確率 0.10以上
除外	85
ブロック端	81, 82



【図2】

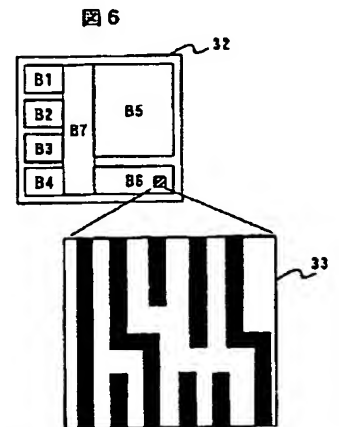


【図3】

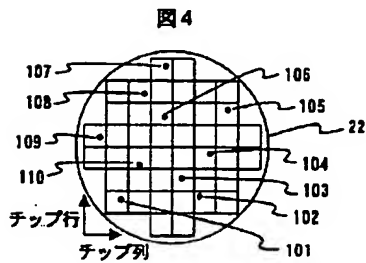
図3

番号	チップ列	チップ行	X	Y	欠陥直径
1.	1.	1.	73.	67.	2.4
2.	5.	1.	25.	89.	0.3
3.	4.	2.	47.	69.	1.6
4.	5.	3.	80.	82.	1.0
5.	6.	5.	52.	78.	1.2
6.	3.	5.	71.	32.	0.2
7.	3.	7.	87.	90.	0.7
8.	2.	6.	77.	38.	0.3
9.	0.	4.	83.	45.	0.8
10.	2.	3.	49.	9.	1.9

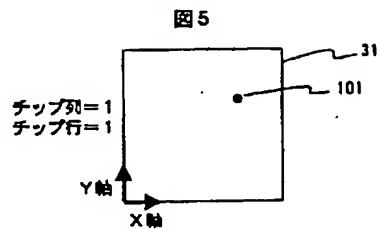
【図6】



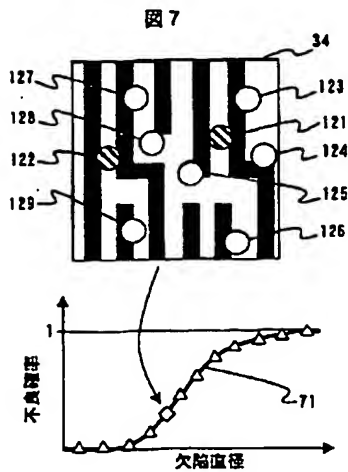
【図4】



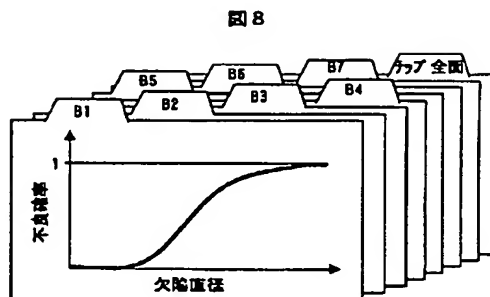
【図5】



【図7】

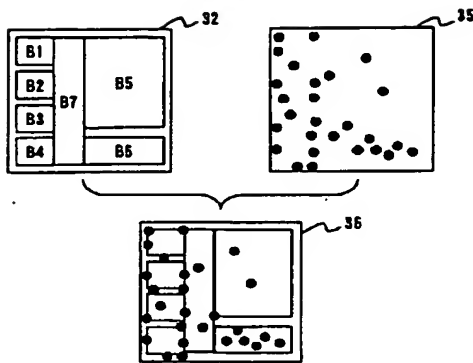


【図8】



【図10】

図10



【図11】

図11

番号	カブ列	カブ行	X	Y	サイズ	プロダ	プロダ端	不良確率
1.	1.	1.	73.	67.	2.4.	B5.	no.	0.83
2.	5.	1.	25.	89.	0.3.	B1.	no.	0.07
3.	4.	2.	47.	69.	1.5.	B2.	no.	0.26
4.	5.	3.	80.	82.	1.0.	B5.	no.	0.38
5.	6.	5.	52.	78.	1.2.	B5.	yes.	0.50
6.	3.	5.	71.	32.	0.2.	B6.	yes.	0.05
7.	3.	7.	87.	90.	0.7.	B5.	no.	0.35
8.	2.	6.	77.	38.	0.3.	B6.	no.	0.07
9.	0.	4.	83.	45.	0.8.	B5.	no.	0.28
10.	2.	3.	49.	9.	1.9.	B7.	no.	0.06

【図13】

図13

番号	カブ列	カブ行	X	Y	サイズ	プロダ	プロダ端	不良確率
1.	1.	1.	73.	67.	2.4.	B5.	no.	0.83
4.	5.	3.	80.	82.	1.0.	B5.	no.	0.38
7.	3.	7.	87.	90.	0.7.	B5.	no.	0.35
9.	0.	4.	83.	45.	0.8.	B5.	no.	0.28
3.	4.	2.	47.	69.	1.5.	B2.	no.	0.26

【図12】

図12

番号	カブ列	カブ行	X	Y	サイズ	プロダ	プロダ端	不良確率
1.	1.	1.	73.	67.	2.4.	B5.	no.	0.83
5.	6.	5.	52.	78.	1.2.	B5.	yes.	0.50
4.	5.	3.	80.	82.	1.0.	B5.	no.	0.38
7.	3.	7.	87.	90.	0.7.	B5.	no.	0.35
9.	0.	4.	83.	45.	0.8.	B5.	no.	0.28
3.	4.	2.	47.	69.	1.5.	B2.	no.	0.26
8.	2.	6.	77.	38.	0.3.	B6.	no.	0.07
2.	5.	1.	25.	89.	0.3.	B1.	no.	0.07
10.	2.	3.	49.	9.	1.9.	B7.	no.	0.06
6.	3.	5.	71.	32.	0.2.	B6.	yes.	0.05

【図15】

図15

番号	カブ列	カブ行	X	Y	サイズ	プロダ	プロダ端	不良確率
1.	1.	1.	73.	67.	2.4.	B5.	no.	0.83
5.	6.	5.	52.	78.	1.2.	B5.	yes.	0.50
4.	5.	3.	80.	82.	1.0.	B5.	no.	0.38
7.	3.	7.	87.	90.	0.7.	B5.	no.	0.35
9.	0.	4.	83.	45.	0.8.	B5.	no.	0.28

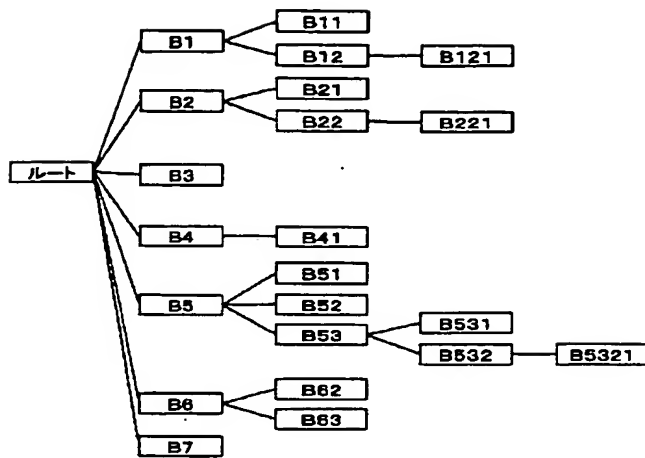
【図14】

図14

番号	カブ列	カブ行	X	Y	サイズ	プロダ	プロダ端	不良確率
3.	4.	2.	47.	69.	1.5.	B2.	no.	0.26
8.	2.	6.	77.	38.	0.3.	B6.	no.	0.07
2.	5.	1.	25.	89.	0.3.	B1.	no.	0.07
10.	2.	3.	49.	9.	1.9.	B7.	no.	0.06
6.	3.	5.	71.	32.	0.2.	B6.	yes.	0.05

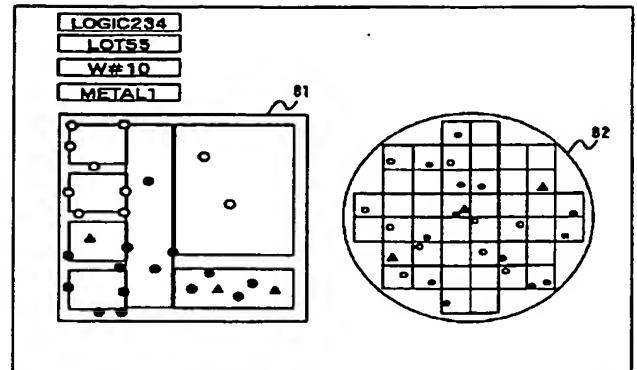
【図17】

図17



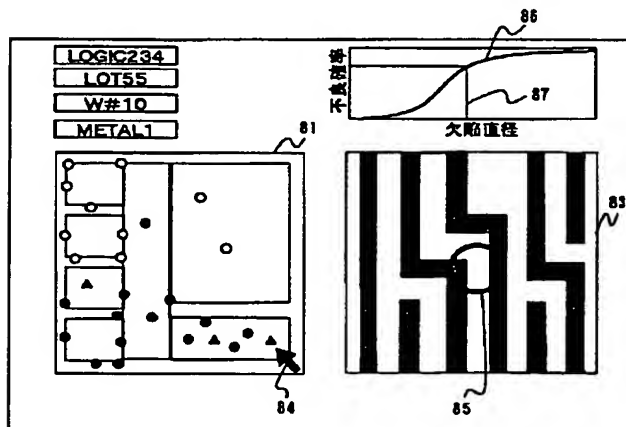
【図18】

図18



【図19】

図19



フロントページの続き

(51)Int.Cl. 7

H01L 21/82  
27/04  
21/822

識別記号

F I

H01L 21/82  
27/04

テーマコード(参考)

T 5 F 0 6 4  
U

(72)発明者 霧野 啓子

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内

F ターム (参考) 2F065 AA03 AA49 AA58 BB13 BB27  
CC19 DD00 FF04 QQ00 QQ01  
QQ04 QQ24 QQ28 QQ41 SS02  
SS04 SS13 TT03 UU05  
2G051 AA51 AB02 EA11 EA12 EA14  
EA21 EC02 FA01  
4M106 CA39 CA41 DA15 DB04 DJ21  
5B057 AA03 BA02 CA08 CA12 CB08  
CB12 CC01 CH18 DA03 DA08  
DB02 DB09 DC30  
5F038 DF05 DF11 EZ20  
5F064 BB12 BB31 BB33 DD14 HH01  
HH06 HH10

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**